

Japanese Patent Application Laid-open No. 04-286389

19. Japanese Patent and Trademark Office

12. Publication of Japanese Patent Application (A)

51 Int. Cl.<sup>5</sup>

H 05 K 3/06

H 05 K 3/42

Identification No. A Internal Reference No. 6921-4E

Identification No. A Internal Reference No. 6736-4E

43. Publication Date: October 12, 1992

Number of Claims: 1

Examination Request: Not done

54. Invention Title: MANUFACTURE OF CIRCUIT BOARD

21. Japanese Patent Application No. 03-074191

22. Filing Date: March 15, 1991

72. Inventor: Seiichi MIMURA

c/o Tanashi Seizo-cho,  
CITIZEN WATCH CO., LTD.,  
1-12, Moto-machi 6-chome, Tanashi-shi, Tokyo

72. Inventor: Takashi SATO

c/o Tanashi Seizo-cho,  
CITIZEN WATCH CO., LTD.,  
1-12, Moto-machi 6-chome, Tanashi-shi, Tokyo

72. Inventor: Shingo ICHIKAWA

c/o Tanashi Seizo-cho,  
CITIZEN WATCH CO., LTD.,  
1-12, Moto-machi 6-chome, Tanashi-shi, Tokyo

71. Applicant: CITIZEN WATCH CO., LTD.

1-1, Nishi-shinjuku 2-chome, Shinjuku-ku,  
Tokyo

57. Abstract:

Invention Purpose:

The purpose of invention is to improve fine pattern  
formation of the circuit board.

Structure:

Forming a pattern of a nearly rectangular shape and a fine  
pattern pitch by conducting a pattern etching treatment

after an electroless copper plating layer being formed in the subtractive method of the circuit pattern formation and by forming a thick film of an electrolytic copper plating over the finely formed pattern.

Invention Effect:

Lessening a pattern pitch which highly contributes to downsizing or sliming of electric devices

[Claims]

[Claim 1]

The method of manufacturing a circuit board characterized in that in the method of forming a circuit pattern on the both-sided copper plating layer substrate by a subtractive method, there are a step of forming a through hole, a step of forming an electroless copper plating layer inside of the through hole, a step of forming a pattern by building a plated resist layer on the electroless copper plating layer, a step of etching the other area than the circuit patterned area based on the pattern shape of the plated resist layer and a step of forming an electrolytic copper plating layer on the circuit pattern.

[Detailed Explanation of the Invention]

[0001]

[Industrial Applicability]

The invention is related with a manufacturing method of a circuit board enabling fine pattern formation.

[0002]

[Conventional Art]

Conventionally, there are a subtractive method and an additive method in manufacturing a circuit board forming a circuit pattern with a through-hole on the both-sided copper plating layer substrate. Due to the problem of the enough credibility hardly obtained the mass production in the additive method, the subtractive method using a dry film is widely used in the mass production and the typical steps of the subtractive method will be explained in the

following drawings.

[0003]

Fig. 2 shows each step of panel plating of the subtractive method. A is a partial cross sectional view of a copper plating substrate and the copper plating layer substrate 1 comprises a copper plating 3 and 4 with the thickness of 18  $\mu\text{m}$  being formed on the both sides of a resin substrate 2. B is a step of forming a through-hole and the through-hole 5 is formed by a hole making machine such as NC. C is a step of forming an electroless copper plating and the electroless copper plating layer 6 with the thickness of 6  $\mu\text{m}$  is formed all over the copper plating layer substrate 1. D is a step of forming an electrolytic copper plating and the electrolytic copper plating 7 with the thickness of about 30  $\mu\text{m}$  over the electroless copper plating layer 6. E is a step of laminating a dry film (DF) and DF as the plating resist is laminated on the both sides of the copper plating layer substrate 1. F is a step of photosensitive development and a pattern shape is formed by leaving the DF 8 in the patterned area and by conducting a photosensitive development on the DF 8 with a mask being used. G is an etching step and the other area than the circuit patterned area are etched by using the pattern shape of the DF 8 to manufacture a circuit board 10 with a circuit pattern 9 being formed.

[0004]

Fig. 3 is a partial cross sectional view of a part showing the pattern shape and space intervals of the circuit pattern 9 in the circuit board 10 shown in Fig. 2 and the width of the pattern as 50  $\mu\text{m}$  and the space intervals of the pattern as 50  $\mu\text{m}$  formed on the surface of the board are set as a standard in the Example. The cross sectional shape of the circuit pattern 9 is in a trapezoidal shape with a bottom being longer since the copper plating formed in the thickness of 40-50  $\mu\text{m}$  comprising the electrolytic

copper plating layer 7 is etched from the window of DF 8 as shown in the step F of photosensitive development and the etching step G. Due to the above, for the erosion caused by side etching in the circuit pattern 9 and with the space intervals of the surface of the board, that is, space gaps made by each circuit pattern 9 being set as 50  $\mu\text{m}$ , 140  $\mu\text{m}$  of pattern pitch should be the minimum limit of the fine patterning as at least 50  $\mu\text{m}$  of the pattern width and 90  $\mu\text{m}$  of the pattern space intervals are necessary as shown in the drawings.

[0005]

Fig. 4 shows each step of a pattern plating of the subtractive method and the same numerals are marked in the steps of a panel plating which are the same as those in the subtractive method of Fig. 2 and the same explanation will not be repeated. From the both-sided copper plating layer substrate 1 in the step A to the electroless copper plating in the step C is the same as those in Fig. 2 and the electrolytic copper plating layer 7a with the thickness of 5  $\mu\text{m}$  is formed in the step H of electrolytic copper plating. The next step E of laminating DF is the same as that of Fig. 2, except for that in the step F' of photosensitive development, the negative shape of the circuit pattern 9 is formed with leaving DF 8 in other than patterned area on the contrary to the step F of the photosensitive development of Fig. 2. The step D' of the electrolytic copper plating is also different from the step D of the electrolytic copper plating of Fig. 2, in that the electrolytic copper plating layer 7 is formed only in the area of circuit pattern 9 of not being resist by the pattern of DF 8. I is a step of peeling off DF and DF 8 is eliminated to expose the copper plating area other than the patterned area. The etching step G' is different from the etching step G of Fig. 2 in that the all surface will be etched as there is no resist and that the circuit board 10 is manufactured with the circuit pattern 9 formed by

controlling the time until the thin copper plating layer other than the circuit patterned area (a multilayer comprising the copper plating 3 and 4, the electroless copper plating layer 6 and the electrolytic copper plating layer 7a with the thickness of about 23  $\mu\text{m}$ ) is to be etched.

[0006]

Fig. 5 is the partial cross sectional view of the circuit board 10 shown in Fig. 4 and also showing the pattern shape and space intervals of the circuit pattern 9 and the width of pattern as 50  $\mu\text{m}$  and space intervals of pattern as 50  $\mu\text{m}$  are set as a standard which is the same as that of Fig. 3. That is, as shown in the step I of peeling off DF and the etching step G', the copper plating with the thickness of 22  $\mu\text{m}$  comprising the copper plating 3 and 4, the electroless copper plating layer 6 and the electrolytic copper plating layer 7a will be etched. Therefore, in this method compared to the panel plating method shown in the above Fig. 2, the thickness of the copper plating to be etched becomes one half of that of the case in Fig. 2, and the bottom length becomes smaller in the circuit pattern 9, but the shape is still trapezoidal. As the result, 50  $\mu\text{m}$  of the width of the pattern and 70  $\mu\text{m}$  of the space intervals of the pattern will be at least necessary and the minimum limit of pattern pitch will be the 120  $\mu\text{m}$  in the pattern designing.

[0007]

[Problems to be Solved by the Invention]

As above, in manufacturing the circuit board in the subtractive method of using DF, the circuit pattern shape is trapezoidal with the bottom being longer, the space intervals of the pattern becomes larger which makes the designing of the fine pattern difficult. The purpose of the invention is to propose the manufacturing method of circuit board enabling the designing of the fine pattern by the subtractive method by using DF which is suitable in the mass production.

[0008]

[Means to Solve the Problems and Effects]

The summary of the invention to achieve the above purpose is as following. The method of manufacturing the circuit board to form the circuit pattern on the both-sided copper plating layer in the subtractive method, characterized in that there are a step of forming a through-hole, a step of forming the electroless copper plating layer inside of the through-hole, a step of forming a pattern shape on the electroless copper plating layer by a plating resist film, a step of etching other area than the circuit patterned area based on the pattern shape of the plating resist film and a step of forming an electrolytic copper plating layer on the circuit pattern.

[0009]

[Example]

In the following drawings, the invention example will be explained in detail. Fig. 1 shows a step of manufacturing the circuit pattern in the subtractive method in the invention and the same numerals are marked in the same steps of those in Fig. 2 and the same explanation will not be repeated. From the both-sided copper plating layer substrate 1 in the step A to the electroless copper plating in the step C is the same as those in Fig. 2 and in the step E of laminating DF, DF 8 is directly laminated on the electroless copper plating layer 6. In the step F of the photosensitive development, the width of DF 8 remaining on the patterned area is made narrower than that in Fig. 2 while the width of the window part of DF 8 is made wider than that in Fig. 2. In the etching step G, in order to etch a thin copper plating in the thickness of 16  $\mu\text{m}$  comprising the copper plating 3 and the electroless copper plating layer 6 from the window of DF 8 which is formed slightly wider than the value of the designated pattern, the circuit pattern base 11 after being etched is formed in the smaller shape than that of the value of designated

circuit pattern of 50  $\mu\text{m}$ . In the step J of the electrolytic copper plating, the circuit board 20 having the circuit pattern 13 with the width of 50  $\mu\text{m}$  is manufactured by forming the electrolytic copper plating layer 12 on the circuit pattern base 11.

[0010]

Fig. 6 is the partial cross sectional view of the circuit board 20 shown in Fig. 1 and showing the pattern shape and the space intervals of the pattern in the circuit pattern 13 and 50  $\mu\text{m}$  of the width of the pattern and 50  $\mu\text{m}$  of the space intervals of the pattern of the surface of the board are set as a standard as the same in Figs. 3 and 5. As explained in the steps F, G and H in Fig. 1, with the window shape of DF 8 and by etching of thin copper plating, the appropriate size of circuit pattern 11 is formed and the electrolytic copper plating layer 12 is formed in the appropriate thickness so that the circuit pattern 13 can be formed with the width of the pattern as 50  $\mu\text{m}$ , the space intervals of the pattern as about 50  $\mu\text{m}$  and the pattern pitch as 100  $\mu\text{m}$ , extremely closer to the designated value.

[0011]

As above, by making the copper plating to be etched from the window of DF 8 as thin as possible, the circuit pattern base 11 with the bottom being smaller is formed. The circuit pattern 13 is made nearly rectangular by conducting the electrolytic copper plating on the circuit pattern base 11. As the result, the space intervals of the pattern of the surface of the board and that of the actual pattern of the surface of the board become almost the same, which enables designing of fine pattern.

[0012]

In the invention example, the case is shown as the copper plating 3 and 4 are in the thickness of 18  $\mu\text{m}$ . As above, the thinner the copper plating becomes, the higher effectiveness of designing of fine pattern can be achieved. For example, by using the copper plating in the thickness

of 9  $\mu\text{m}$ , the designing of fine pattern with the pattern pitch of 80  $\mu\text{m}$  or less.

[0013]

[Invention Effect]

As above, according to the invention, since the method is to form the circuit pattern by the electrolytic copper plating on the circuit pattern base which is formed by pattern etching after the electroless copper plating layer being formed as the core of plating inside of the through-hole, the fine circuit pattern can be manufactured by the subtractive method of using DF, the suitable method in the mass production, which was conventionally difficult and largely contributes to the downsizing of electric devices using circuit boards.

[Brief Explanation of Drawings]

[Fig. 1] It shows the steps of manufacturing the circuit board in the invention example.

[Fig. 2] It shows the steps of panel plating in the conventional subtractive method.

[Fig. 3] It shows the pattern shape and the space intervals of the circuit pattern 9 in the circuit board 10 as shown in Fig. 2.

[Fig. 4] It shows the steps of pattern plating in the conventional subtractive method.

[Fig. 5] It shows the partial cross sectional view of the circuit board 10 as shown in Fig. 4 and also shows the pattern shape and the space internals of the circuit pattern 9.

[Fig. 6] It shows the partial cross sectional view of the circuit board 20 as shown in Fig. 1 and also shows the pattern shape and the space internals of the circuit pattern 13.

[Explanation of the Numerals]

1. The copper plating layer substrate
3. The copper plating
5. Through hole



6. Electroless copper plating layer

8. Dry Film

11. Circuit pattern base

12. Electroless copper plating layer

13. Circuit pattern

20. Circuit board

Patent Applicant: IBIDEN CO., LTD.

Representative: Hironobu ONDA, Patent Attorney (and one other)

Fig 1.

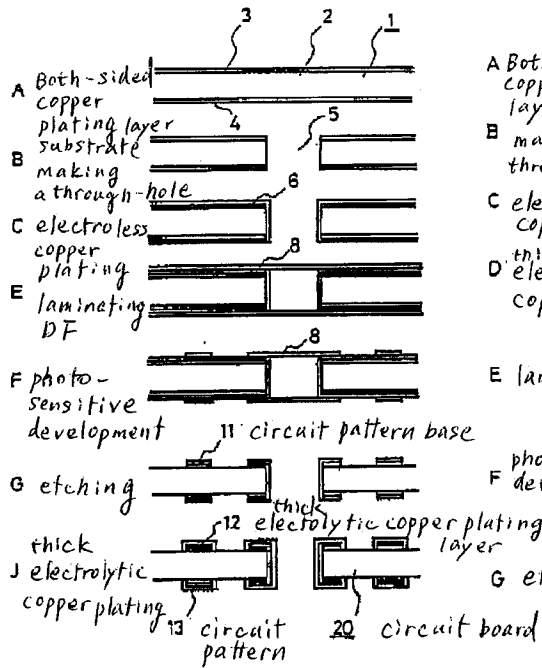


Fig 2.

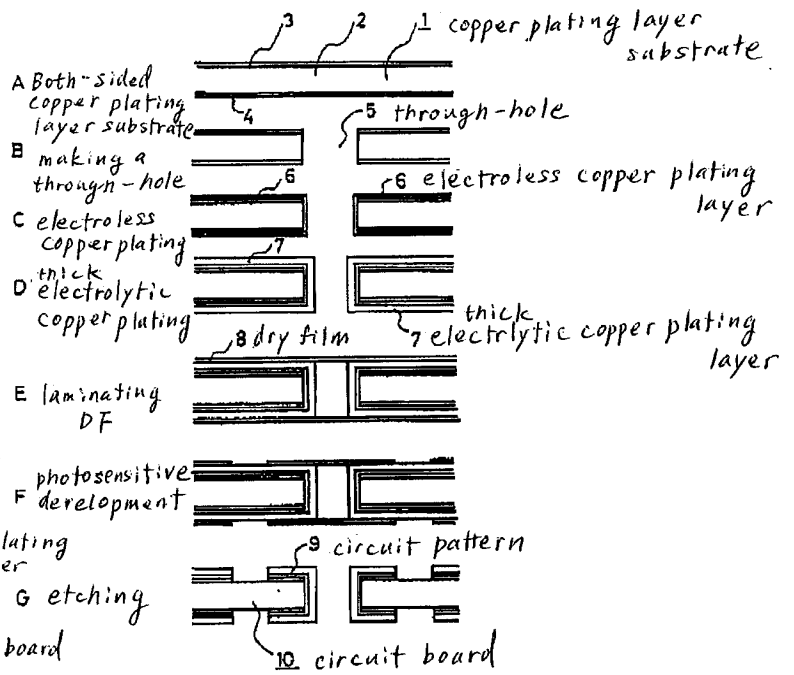


Fig 3.

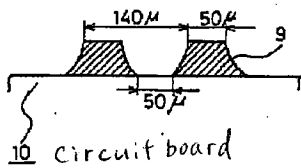


Fig 5

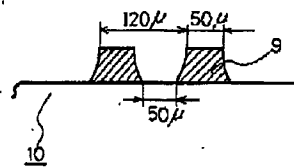
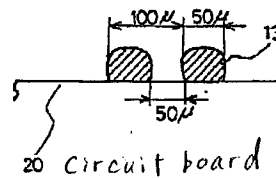
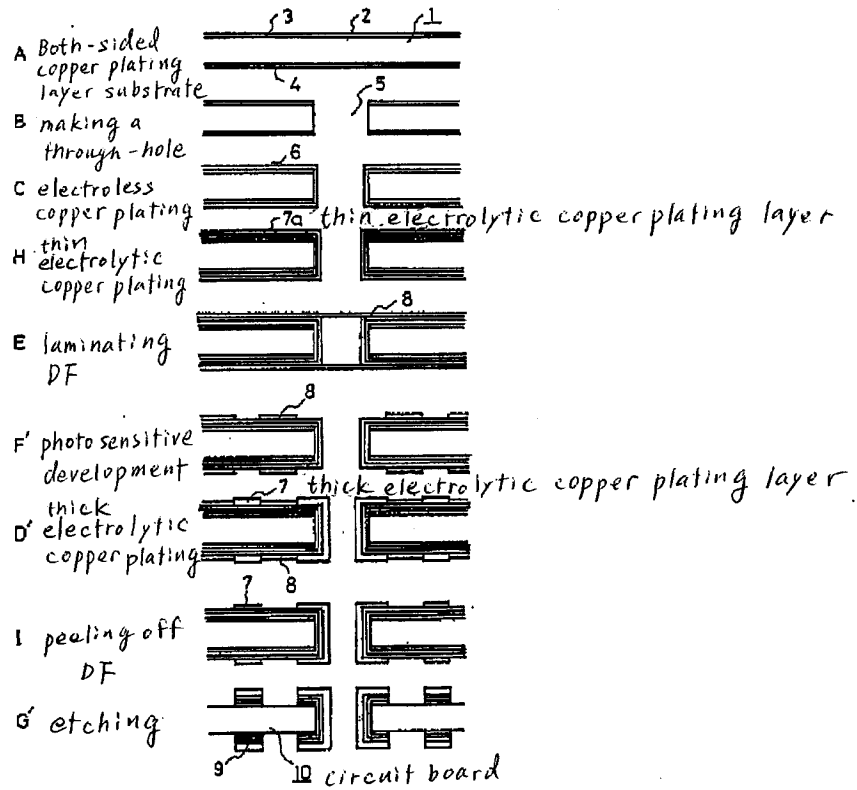


Fig 6



OK - 286389

Fig 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-286389

(43) 公開日 平成4年(1992)10月12日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	3/06	A 6921-4 E		
	3/42	A 6736-4 E		

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号	特願平3-74191
(22) 出願日	平成3年(1991)3月15日

(71) 出願人	000001960 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号
(72) 発明者	三村 精一 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内
(72) 発明者	佐藤 任 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内
(72) 発明者	市川 新吾 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

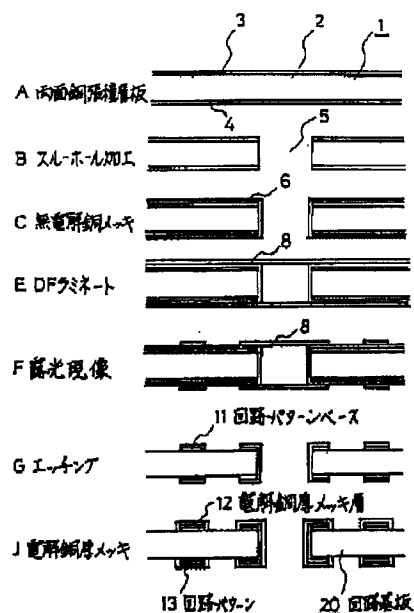
(54) 【発明の名称】 回路基板の製造方法

(57) 【要約】

【目的】 本発明は回路基板における微細パターン形成方法の改良。

【構成】 回路パターン形成のサブトラクティブ法において無電解銅メッキ層の形成後パターンエッチングを行ない、微細に形成されたパターン上に電解銅の厚メッキを行うことにより、パターン形状が矩形に近く且つパターンピッチの微細な回路パターンを形成する。

【効果】 パターンピッチを小さくすることにより電子装置の小型薄型化に大なる効果を有する。



1

## 【特許請求の範囲】

【請求項1】 サブトラクティブ法によって両面銅張積層板に回路パターンを形成する回路基板の製造方法において、スルーホールを形成する工程と、前記スルーホール内に無電解銅メッキ層を形成する工程と、前記無電解銅メッキ層上にメッキレジスト膜によってパターン形状を形成する工程と、前記メッキレジスト膜のパターン形状により回路パターン以外の部分をエッチングする工程と、前記回路パターン上に電解銅メッキ層を形成する工程を有することを特徴とする回路基板の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパターンの細密化を可能ならしめる回路基板の製造方法に関する。

【0002】

【従来の技術】 従来両面銅張積層板にスルーホール付きの回路パターンを形成する回路基板の製造方法にはサブトラクティブ法とアディティブ法があるが、この内アディティブ法は量産上で十分な信頼性が得にくいという問題が有る為、量産的にはドライフィルムを用いたサブトラクティブ法が広く採用されており以下図面によりサブ

トラクティブ法の代表的な工程を説明する。  
【0003】 図2はサブトラクティブ法パネルメッキ法の各工程を示すものである。Aは銅張積層板の断面図であり銅張積層板1は樹脂基板2の両面に厚さ18 $\mu$ mの銅箔3、4が積層されている。Bはスルーホール加工工程でありNC等の穴明け機によってスルーホール5が加工される。Cは無電解銅メッキ工程であり前記スルーホール5の壁面を含む基板面を洗浄した後、銅張積層板1の全面に厚さ0.5 $\mu$ mの無電解銅メッキ層6を形成する。Dは電解銅厚メッキ工程であり前記無電解銅メッキ層6の上に厚さ30 $\mu$ m程度の電解銅厚メッキ層7を形成する。Eはドライフィルム(DF)ラミネート工程であり前記銅張積層板1の両面にメッキレジストであるDF8をラミネートする。Fは露光現像工程であり前記DF8にマスクを用いて露光現像を行なうことにより、パターン部分にDF8を残してパターン形状を形成する。Gはエッチング工程であり前記DF8のパターン形状を用いて回路パターン以外の部分をエッチングすることにより回路パターン9が形成された回路基板10が完成する。

【0004】 図3は図2に示す回路基板10における回路パターン9の形状とパターン間隔を示す部分断面図であり、本実施例ではパターン幅50 $\mu$ m、基板面のパターン間隔50 $\mu$ mを基準としている。即ち露光現像工程Fとエッチング工程Gに示す如く電解銅厚メッキ層7によって40～50 $\mu$ mの厚さに積層された銅箔をDF8の窓からエッチングする事になるため回路パターン9の断面形状は裾の長い台形となる。この為回路パターン9のサイドエッチによる侵食と、基板面のパターン間隔、

2

即ち各々の回路パターン9における裾間のスペースを50 $\mu$ mとするためには、図示の如く最低でもパターン幅50 $\mu$ m、実際のパターン間隔90 $\mu$ mが必要となりパターン設計上140 $\mu$ mピッチが微細化の限界となる。

【0005】 図4はサブトラクティブ法パターンメッキ法の各工程を示すものであり図2のサブトラクティブ法パネルメッキ法と同一工程には同一記号を付し説明を省略する。Aの両面銅張積層板1からCの無電解銅メッキ工程迄は共通であり、Hの電解銅薄メッキ工程では厚さ5 $\mu$ mの電解銅薄メッキ層7aを形成する。次のDFラミネート工程Eは共通であるが露光現像工程F'は図2の露光現像工程Fとは逆にパターン以外の部分にDF8を残したネガ形状の回路パターン9を形成する。電解銅厚メッキ工程D'も図2の電解銅厚メッキ工程Dとは異なりDF8のパターンによってレジストされていない回路パターン9の部分にのみ電解銅厚メッキ層7が形成される。IはDF剥離工程でありDF8を除去してパターン部以外の銅箔を露出させる。エッチング工程G'は図2のエッチング工程Gと異なり、レジストがないので全面がエッチングされるが回路パターン以外の薄い銅箔層(銅箔3、4と無電解銅メッキ層6と電解銅薄メッキ層7aとの積層であり、厚さ約23 $\mu$ m)がエッチングされるまでの時間を管理する事により回路パターン9が形成された回路基板10が完成する。

【0006】 図5は図4に示す回路基板10の部分断面図であり回路パターン9の形状とパターン間隔を示すものであり、図3と同様パターン幅50 $\mu$ m、基板面のパターン間隔50 $\mu$ mを基準としている。即ちDF剥離工程Iとエッチング工程G'に示す如く銅箔3、4と無電解銅メッキ層6と電解銅薄メッキ層7aによって22 $\mu$ mに積層された銅箔をエッチングする事になる。したがって本方式の場合前記図2に示すパネルメッキ方式に比べてエッチングされる銅箔の厚さが約1/2になる為、回路パターン9の裾は小さくなるがやはりその形状は台形となる。この結果図示の如く最低でもパターン幅50 $\mu$ m、実際のパターン間隔70 $\mu$ mが必要となりパターン設計上120 $\mu$ mピッチが微細化の限界となる。

【0007】

【発明が解決しようとする課題】 上記の如くDFを用いたサブトラクティブ法による回路基板の製造方法においては回路パターンの形状が裾の長い台形となるため、実質的なパターン間隔が大きくなりパターン設計の微細化が困難であった。本発明の目的は量産性に優れたDF方式のサブトラクティブ法によりパターン設計の微細化を可能にする回路基板の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するための本発明の要旨は次のとおりである。サブトラクティブ法によって両面銅張積層板に回路パターンを形成する回路基板の製造方法において、スルーホールを形成する工

程と、前記スルーホール内に無電解銅メッキ層を形成する工程と、前記無電解銅メッキ層上にメッキレジスト膜によってパターン形状を形成する工程と、前記メッキレジスト膜のパターン形状により回路パターン以外の部分をエッチングする工程と、前記回路パターン上に電解銅メッキ層を形成する工程を有することを特徴とする。

【0009】

【実施例】以下図面により本発明の一実施例を詳述する。図1は本発明のサブトラクティブ法による回路パターン製造の工程を示すものであり前記図2と同一工程には同一記号を付し説明を省略する。Aの両面銅張積層板1からCの無電解銅メッキ工程迄は共通であり、EのD Fラミネート工程では無電解銅メッキ層6の上に直接D F 8をラミネートしている。Fの露光現像工程では図2に比べてパターン部分に残るD F 8の幅を狭くし、逆にD F 8の窓部の幅を広くしている。Gのエッチング工程ではパターン設計値より若干広く形成されたD F 8の窓から、銅箔3と無電解銅メッキ層6との積層である16  $\mu\text{m}$ の薄い銅箔をエッチングするため、エッチング後の回路パターンベース11は回路パターンの設計値50  $\mu\text{m}$ より小さい形状に形成される。Jの電解銅厚メッキ工程では前記回路パターンベース11の上に電解銅厚メッキ層12を形成する事により、50  $\mu\text{m}$ 幅の回路パターン13を有する回路基板20が完成する。

【0010】図6は図1に示す回路基板20の部分断面図であり回路パターン13の形状とパターン間隔を示すものであり、図3及び図5と同様パターン幅50  $\mu\text{m}$ 、基板面のパターン間隔50  $\mu\text{m}$ を基準としている。図1の工程F、G、Hで説明したごとくD F 8の窓形状と薄い銅箔のエッチングとにより、適当なサイズの回路パターンベース11を形成し、その回路パターンベース11上に電解銅厚メッキ層12を適切な厚さに形成することにより、図6に示す如くパターン幅50  $\mu\text{m}$ 、パターン間隔も約50  $\mu\text{m}$ となり、設計値に極めて近い100  $\mu\text{m}$ ピッチの回路パターン13を形成することが可能となる。

【0011】上記の如くD F 8の窓からエッチングする銅箔を出るだけ薄くすることによって楕形状の小さな回路パターンベース11を形成し、この回路パターンベース11の上に電解銅メッキを行なうとにより回路パ

ターン13の形状を矩形に近ずける事が出来る。この結果基板面のパターン間隔と実際のパターン間隔とが略一致するのでパターンの微細設計が可能となる。

【0012】本実施例においては銅箔3、4として18  $\mu\text{m}$ の場合を示したが、前記の如くこの銅箔は薄いほど微細設計の効果は高くなり、例えば9  $\mu\text{m}$ の銅箔を使用すれば80  $\mu\text{m}$ ピッチ以下のパターン設計も可能となる。

【0013】

【発明の効果】上記の如く本発明によればスルーホール内にメッキ核となる無電解銅メッキ層を形成した状態でパターンエッチングを行なって回路パターンベースを作り、この回路パターンベース上に電解銅メッキをほどこして回路パターンを形成する方式であるため、量産性に優れたD F方式のサブトラクティブ法を用いて従来得られなかった回路パターンの微細化が可能となり、回路基板を用いた電子装置の小型化に大なる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路基板製造方法の工程図である。

【図2】従来のサブトラクティブ法パネルメッキ法の工程図である。

【図3】図2に示す回路基板10における回路パターン9の形状とパターン間隔を示す部分断面図である。

【図4】従来のサブトラクティブ法パターンメッキ法の工程図である。

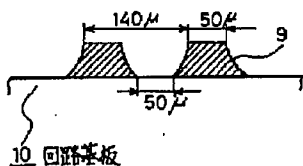
【図5】図4に示す回路基板10の部分断面図であり回路パターン9の形状とパターン間隔を示すものである。

【図6】図1に示す回路基板20の部分断面図であり回路パターン13の形状とパターン間隔を示すものである。

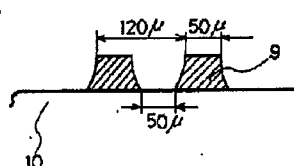
【符号の説明】

- 1 銅張積層板
- 3 銅箔
- 5 スルーホール
- 6 無電解銅メッキ層
- 8 ドライフィルム
- 11 回路パターンベース
- 12 電解銅厚メッキ層
- 13 回路パターン
- 20 回路基板

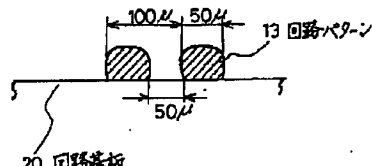
【図3】



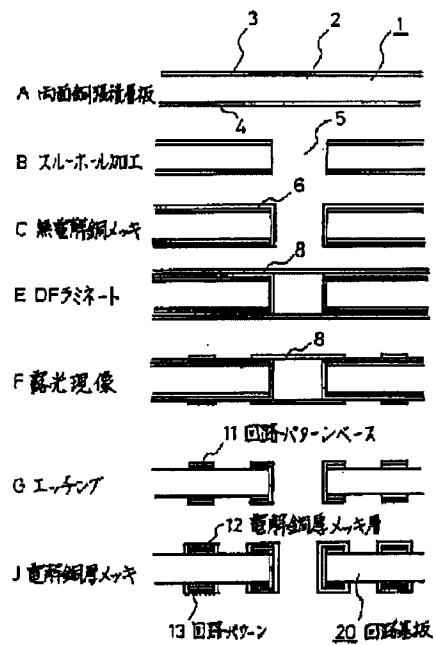
【図5】



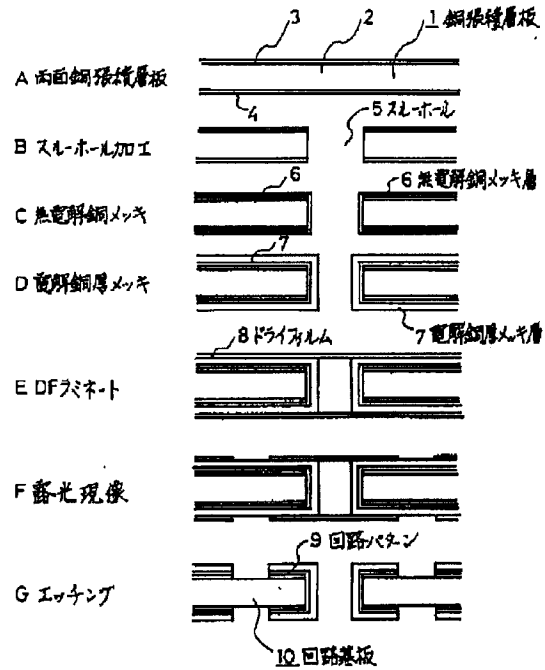
【図6】



【図1】



【図2】



【図4】

